

98/8082



85

19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

12 Offenlegungsschrift
10 DE 40 14 767 A 1

51 Int. Cl.⁵:
H 03 K 5/22
G 06 F 15/336
// H 04 L 7/04

21 Aktenzeichen: P 40 14 767.3
22 Anmeldetag: 3. 5. 90
43 Offenlegungstag: 7. 11. 91

DE 40 14 767 A 1

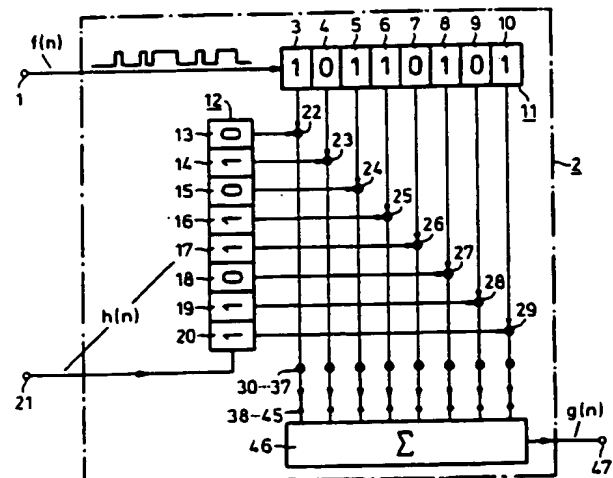
71 Anmelder:
Siemens AG, 1000 Berlin und 8000 München, DE

72 Erfinder:
Wolf, Andreas, Dr.-Ing., 1000 Berlin, DE

54 Verfahren zum Gewinnen eines elektrischen Signals durch Korrelation

57 Bei einem Verfahren zum Gewinnen eines elektrischen Signals durch Korrelation zwischen zwei eingehenden binären, unipolaren Datenströmen sind entsprechend den Definitionsgleichungen für Korrelationsfunktionen eine Vielzahl von Multiplikationen mit anschließender Summation der gewonnenen Werte erforderlich, was aufgrund des hohen Rechenaufwandes zu einem verhältnismäßig großen Zeitaufwand führt.

Um schnell zu auch fehlerfreien elektrischen Signalen durch Korrelation zwischen zwei binären, unipolaren Datenströmen zu kommen, werden die Datenströme $f(n)$, $h(n)$ in jeweils zwei Register (11, 12) eingelesen und die Daten in jeweils einander zugeordneten Speicherstellen (z. B. 3, 13; 4, 14) der beiden Register (11, 12) nach einer Exklusiv-Oder-Funktion miteinander verknüpft. Die sich aus den Verknüpfungen jeweils gleichzeitig ergebenden Zwischendaten werden unter Bildung des elektrischen Signals $g(n)$ summiert. Das erfindungsgemäße Verfahren ist zum Einsatz in der Kommunikations-Meßtechnik, insbesondere bei B-ISDM, geeignet.



DE 40 14 767 A 1

Beschreibung

Die Erfindung bezieht sich auf ein Verfahren zum Gewinnen eines elektrischen Signals durch Korrelation zwischen zwei eingehenden binären, unipolaren Datenströmen.

Ein derartiges Verfahren ist dem Buch "ISDN — Das künftige Fernmeldenetz der Deutschen Bundespost", 1985, herausgegeben von P. Kahl, Seiten 83 und 84 entnehmbar; denn dort ist ausgeführt, daß im Rahmen einer sogenannten Synchronisierung eines ankommenden Datenstromes als Synchronwort ein elf-stufiger Barker-Code verwendet werden kann, dessen Autokorrelationsfunktion für die Synchronisierung besonders gut geeignet ist. Die Autokorrelationsfunktion erleichtert nämlich aufgrund ihres charakteristischen Verlaufs das Auffinden des Synchronwortes in dem ankommenden Datenstrom während eines Verbindungsaufbaus. Dabei ist zur Bildung einer der Autokorrelationsfunktion entsprechenden elektrischen Signals unter Erfüllung der Definitionsgleichung für die Autokorrelationsfunktion jeweils zunächst eine Multiplikation zweier Meßwerte und anschließend eine Summation bzw. Integration der durch Multiplikation gewonnenen Einzelwerte vorzunehmen. Beschreibt man mit $f(n)$ und $h(n)$ zwei binäre, unipolare Funktionen, dann läßt sich das durch Autokorrelation gewonnene elektrische Signal

$\Phi_{ff}(n)$ bzw. $\Phi_{hh}(n)$

durch die folgenden Gleichungen beschreiben:

$$\Phi_{ff}(n) = C_1 \cdot \sum_{m=-\infty}^{+\infty} f(m+n) \cdot f(n) \text{ und}$$

$$\Phi_{hh}(n) = C_2 \cdot \sum_{m=-\infty}^{+\infty} h(m+n) \cdot h(n)$$

mit m als Zeitintervall. Die Kreuzkorrelationsfunktionen sind durch die Beziehungen

$$\Phi_{fh}(n) = C_3 \cdot \sum_{m=-\infty}^{+\infty} f(m+n) \cdot h(n) \text{ und}$$

$$\Phi_{hf}(n) = C_4 \cdot \sum_{m=-\infty}^{+\infty} h(n+m) \cdot f(n)$$

definiert, in denen m jeweils ein Zeitintervall beschreibt und $C_1 \dots C_4$ Proportionalitätsfaktoren bezeichnen.

Zum Gewinnen eines elektrischen Signals durch Korrelation zwischen zwei eingehenden binären, unipolaren Datenströmen sind daher eine Vielzahl von Multiplikationen mit anschließender Summation durchzuführen, was auch beim Einsatz von sehr schnell arbeitenden Rechnern verhältnismäßig viel Zeitaufwand benötigt. Im übrigen ergeben sich bei der Multiplikation bzw. Addition bestimmter Abschnitte aus den eingehenden binären Datenströmen durch Multiplikation nicht immer eindeutige Aussagen, wie sich beispielsweise daran veranschaulichen läßt, daß, wenn man die Datenfolge 1010 mit 1010 und die Datenfolge 1010 mit 1111 multipliziert, sich in beiden Fällen als Produkt die Größe 1010 ergibt, deren Summe stets den Wert zwei hat; trotz unterschiedlich großer miteinander multiplizierter binä-

rer Größen ergibt sich das selbe Korrelationswert.

Der Erfindung liegt daher die Aufgabe zugrunde, ein Verfahren zum Gewinnen eines elektrischen Signals durch Korrelation zwischen zwei eingehenden binären, unipolaren Datenströmen anzugeben, mit dem sich schnell und in seiner Größe ein eindeutiges elektrisches Signal gewinnen läßt.

Zur Lösung dieser Aufgabe werden bei einem solchen Verfahren erfindungsgemäß die Datenströme in jeweils ein Register eingelesen und die Daten in jeweils einander zugeordneten Speicherstellen der beiden Register nach einer exklusiven Oder-Funktion miteinander verknüpft; die sich aus den Verknüpfungen jeweils gleichzeitig ergebenden Zwischendaten werden unter Bildung des elektrischen Signals summiert.

Ein wesentlicher Vorteil des erfindungsgemäßen Verfahrens besteht darin, daß auf die Vielzahl von Multiplikationen verzichtet werden kann, die nach der Definitionsgleichung der Korrelationsfunktionen ausgeführt werden müssen, um ein der Korrelationsfunktion entsprechendes elektrisches Signal zu gewinnen. Durch die lediglich erforderliche Verknüpfung nach Art einer exklusiven Oder-Funktion läßt sich das erfindungsgemäße Verfahren in vergleichsweise sehr kurzer Zeit durchführen und bietet darüber hinaus — wie unten noch nachgewiesen wird — den Vorteil eines wegen seiner eindeutigen Aussagen weitgehend fehlerfreien elektrischen Signals.

Wird das erfindungsgemäße Verfahren in der oben angegebenen Art durchgeführt, dann stellt das gewonnene elektrische Signal in seinem Verlauf nicht ganz exakt das durch Korrelation zwischen den zwei eingehenden Datenströmen gemäß Definition erwartete Signal dar, sondern bildet ein negiertes Korrelationsergebnis. Da ein solches Korrelationsergebnis in einigen Anwendungsfällen, beispielsweise in der Nachrichtentechnik, als brauchbares, weiter zu verarbeitendes elektrisches Signal angesehen werden kann, erfüllt das erfindungsgemäße Verfahren insoweit alle diesbezüglich gestellten Anforderungen.

Ein elektrisches Signal, das den Definitionsgleichungen für die Korrelationsfunktionen exakt entspricht, ergibt sich bei einer weiteren Ausgestaltung des erfindungsgemäßen Verfahrens, bei dem die sich aus den Verknüpfungen ergebenden Zwischendaten vor dem Summieren negiert werden. Das so gewonnene elektrische Signal repräsentiert dann ein Korrelationsergebnis entsprechend den oben angegebenen Gleichungen, ist lediglich mit einem zur weiteren Verarbeitung nicht störenden konstanten Offset versehen.

Häufig stellt sich einer der beiden bipolaren, binären Datenströme, zwischen denen eine Korrelation durchgeführt werden soll, als konstante Referenzfolge dar. In diesem Falle ist es bei der Durchführung des erfindungsgemäßen Verfahrens vorteilhaft, wenn die konstante Referenzfolge fest in eines der beiden Register eingeschrieben wird. Es ist dann nur noch jeweils der andere binäre Datenstrom in das andere Register einzulesen.

Das erfindungsgemäße Verfahren kann mit Schaltungsanordnungen unterschiedlicher Art durchgeführt werden. Als besonders vorteilhaft wird es aber angesehen, wenn eine Schaltungsanordnung verwendet wird, bei der jeweils einander zugeordnete Speicherstellen der Register ausgangsseitig mit den Eingängen jeweils eines Exklusiv-Oder-Gliedes verbunden sind und bei der der Ausgang jedes Exklusiv-Oder-Gliedes mit einem Eingang eines Summierers in Verbindung steht. Diese Schaltungsanordnung liefert dann ein Korrela-

tionsergebnis, das im Hinblick auf ein $g(n)$ den Definitionsgleichungen errechnetes ein negiertes Ergebnis darstellt; es ist im übrigen mit einem konstanten Offset versehen.

Wird gemäß einer vorteilhaften Ausgestaltung der erfindungsgemäßen Schaltungsanordnung jedem Eingang des Summierers ein Negierer vorgeordnet, dann ergibt sich ein elektrisches Signal, das bis auf einen konstanten Offset exakt den Definitionsgleichungen entspricht.

Bei der erfindungsgemäßen Schaltungsanordnung kann der Summierer in unterschiedlicher Weise aufgebaut sein; bei einer vorteilhaften Ausführungsform besteht der Summierer aus einem kaskadenartigen Aufbau von mehreren Addierern mit jeweils acht Eingängen, von denen die eingangsseitig angeordneten Addierer jeweils an ihren beiden LSB-Eingängen beaufschlagt sind, während weitere Addierer mit jeweils zwei eingangsseitigen bzw. vorgeordneten Addierern über jeweils eine Bus-Leitung und mit jeweils einem nachgeordneten zusätzlichen Addierer über eine weitere Bus-Leitung verbunden sind.

Bei einer anderen vorteilhaften Ausführungsform des Summierers ist dieser ein als Umkehraddierer geschalteter Operationsverstärker, der mit gleich groß gemessenen Eingangswiderständen versehen ist. Der besondere Vorteil eines derart aufgebauten Summierers besteht darin, daß mit ihm in verhältnismäßig kurzer Zeit die Summation durchgeführt werden kann.

Eine weitere digitale Ausführung eines Summierers weist eingangsseitig ein Schieberegister auf, dessen Eingänge mit den Ausgängen der Exklusiv-Oder-Glieder in Verbindung stehen und das mit einem Taktgenerator verbunden ist; dem Schieberegister ist ausgangsseitig ein Zähler nachgeordnet.

Zur Erläuterung der Erfindung ist in

Fig. 1 ein Ausführungsbeispiel einer Schaltungsanordnung zur Durchführung des erfindungsgemäßen Verfahrens, in

Fig. 2 ein Ausführungsbeispiel eines Summierers in der Schaltungsanordnung nach Fig. 1 und in

Fig. 3 ein weiteres Ausführungsbeispiel für einen Summierer dargestellt.

Wie Fig. 1 erkennen läßt, ist einem Eingang 1 einer Schaltungsanordnung 2 zur Durchführung des erfindungsgemäßen Verfahrens ein binärer, unipolarer Datenstrom $f(n)$ zugeführt. Die einzelnen Daten dieses Datenstromes werden nacheinander schrittweise durch die einzelnen Speicherstellen 3 bis 10 eines Registers 11 geschoben. Ein weiteres Register 12 weist eine entsprechende Anzahl von Speicherstellen 13 bis 20 auf, in die die Daten eines weiteren binären, unipolaren Datenstromes $h(n)$ über einen weiteren Eingang 21 eingelesen werden können. Im dargestellten Ausführungsbeispiel ist in das weitere Register 11 eine feste Referenzfolge $h(n)$ fest eingeschrieben.

Jeweils einander zugeordnete Speicherstellen 3 und 13, 4 und 14 usw. der Register 11 und 12 sind mit den Eingängen jeweils eines Exklusiv-Oder-Gliedes 22, 23 sowie 24 bis 29 verbunden. Die Ausgänge der Exklusiv-Oder-Glieder 22 bis 29 sind über jeweils einen Negierer 30 bis 37 mit Eingängen 38 bis 45 eines Summierers 46 verbunden. An einem Ausgang 47 des Summierers 46 ergibt sich ein elektrisches Signal $g(n)$, das das Korrelationsergebnis zwischen den Datenströmen $f(n)$ und $h(n)$ darstellt.

Wie Fig. 2 erkennen läßt, kann der in Fig. 1 dargestellte Summierer 46 aus kaskadenförmig angeordnete-

ten Addierern mit jeweils 2^m mal acht Eingängen bestehen. Eingangsseitige Addierer 50, 51 sowie 52 und 53 sind jeweils mit ihren LSB-Eingängen an Ausgänge 38 bis 45 der Negierer 30 bis 37 angeschlossen. An den Ausgängen der eingangsseitigen Addierer 50 und 51 der weiteren eingangsseitigen Addierer 52 und 53 liegen über Bus-Leitungen 54 und 55 bzw. 56 und 57 nachgeordnete Addierer 58 und 59, denen wiederum über Bus-Leitungen 60 und 61 ein zusätzlicher Addierer 62 nachgeschaltet ist. In digitaler Form ergibt sich dann am Ausgang 63 des Summierers das Korrelationsergebnis $g(n)$.

Bei dem Ausführungsbeispiel nach Fig. 3 ist der Summierer 46 gemäß Fig. 1 eingangsseitig mit einem Schieberegister 70 versehen, das an die Ausgänge 38 bis 45 der Negierer 30 bis 37 angeschlossen ist. Über einen Clock-Eingang 71 ist das Schieberegister 70 mit einem nicht dargestellten Taktgenerator verbunden. Ausgangsseitig ist das Schieberegister 70 mit einem Zähler 72 verbunden, an dessen Ausgang 73, der von einer Bus-Leitung gebildet ist, in digitaler Form das elektrische Signal $g(n)$ ansteht.

Patentansprüche

1. Verfahren zum Gewinnen eines elektrischen Signals durch Korrelation zwischen zwei eingehenden binären, unipolaren Datenströmen ($f(n)$, $h(n)$), dadurch gekennzeichnet, daß die Datenströme ($f(n)$, $h(n)$) in jeweils ein Register (11, 12) eingelesen werden, daß die Daten in jeweils einander zugeordneten Speicherstellen (z. B. 3, 13; 4, 14) der beiden Register (11, 12) nach einer exklusiven ODER-Funktion miteinander verknüpft werden und daß die sich aus den Verknüpfungen jeweils gleichzeitig ergebenden Zwischendaten unter Bildung des elektrischen Signals ($g(n)$) summiert werden.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die sich aus den Verknüpfungen ergebenden Zwischendaten vor dem Summieren negiert werden.
3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß einer ($h(n)$) der beiden bipolaren, binären Datenströmen ($f(n)$, $h(n)$) als konstante Referenzfolge fest in eines (12) der beiden Register (11, 12) eingeschrieben wird.
4. Schaltungsanordnung zur Durchführung des Verfahrens nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß jeweils einander zugeordnete Speicherstellen (z. B. 3, 13; 4, 14) der Register (11, 12) ausgangsseitig mit den Eingängen jeweils eines Exklusiv-Oder-Gliedes (22...29) verbunden sind und daß der Ausgang jedes Exklusiv-Oder-Gliedes (22...29) mit einem Eingang (38...45) eines Summierers (46) in Verbindung steht.
5. Schaltungsanordnung nach Anspruch 4, dadurch gekennzeichnet, daß jedem Eingang (38...45) des Summierers (46) ein Negierer (30...37) vorgeordnet ist.
6. Schaltungsanordnung nach Anspruch 4 oder 5, dadurch gekennzeichnet, daß der Summierer aus einem kaskadenartigen Aufbau von mehreren Addierern (50, 51, 52, 53, 58, 59, 62) mit jeweils acht Eingängen besteht, von denen die eingangsseitig angeordneten Addierer (50, 51; 52, 53) jeweils an ihren beiden LSB-Eingängen beaufschlagt sind,

während weitere Addierer (50, 51; 52, 53) mit jeweils zwei eingangsseitigen bzw. vorgeordneten Addierern (50, 51; 52, 53) über jeweils eine Bus-Leitung (54, 55; 56, 57) und mit jeweils einem nachgeordneten zusätzlichen Addierer (62) über eine weitere Bus-Leitung (60, 61) verbunden sind.

7. Schaltungsanordnung nach Anspruch 4 oder 5, dadurch gekennzeichnet, daß der Summierer ein als Umkehraddierer geschalteter Operationsverstärker ist, der mit gleich groß bemessenen Eingangswiderständen versehen ist.

8. Schaltungsanordnung nach Anspruch 4 oder 5, dadurch gekennzeichnet, daß der Summierer eingangsseitig ein Schieberegister (70) aufweist, dessen Eingänge (38 ... 45) mit den Ausgängen der Exklusiv-ODER-Glieder (22 ... 29) in Verbindung stehen und das mit einem Taktgenerator verbunden ist, und daß dem Schieberegister (70) ausgangsseitig ein Zähler (72) nachgeordnet ist.

Hierzu 2 Seite(n) Zeichnungen

25

30

35

40

45

50

55

60

65

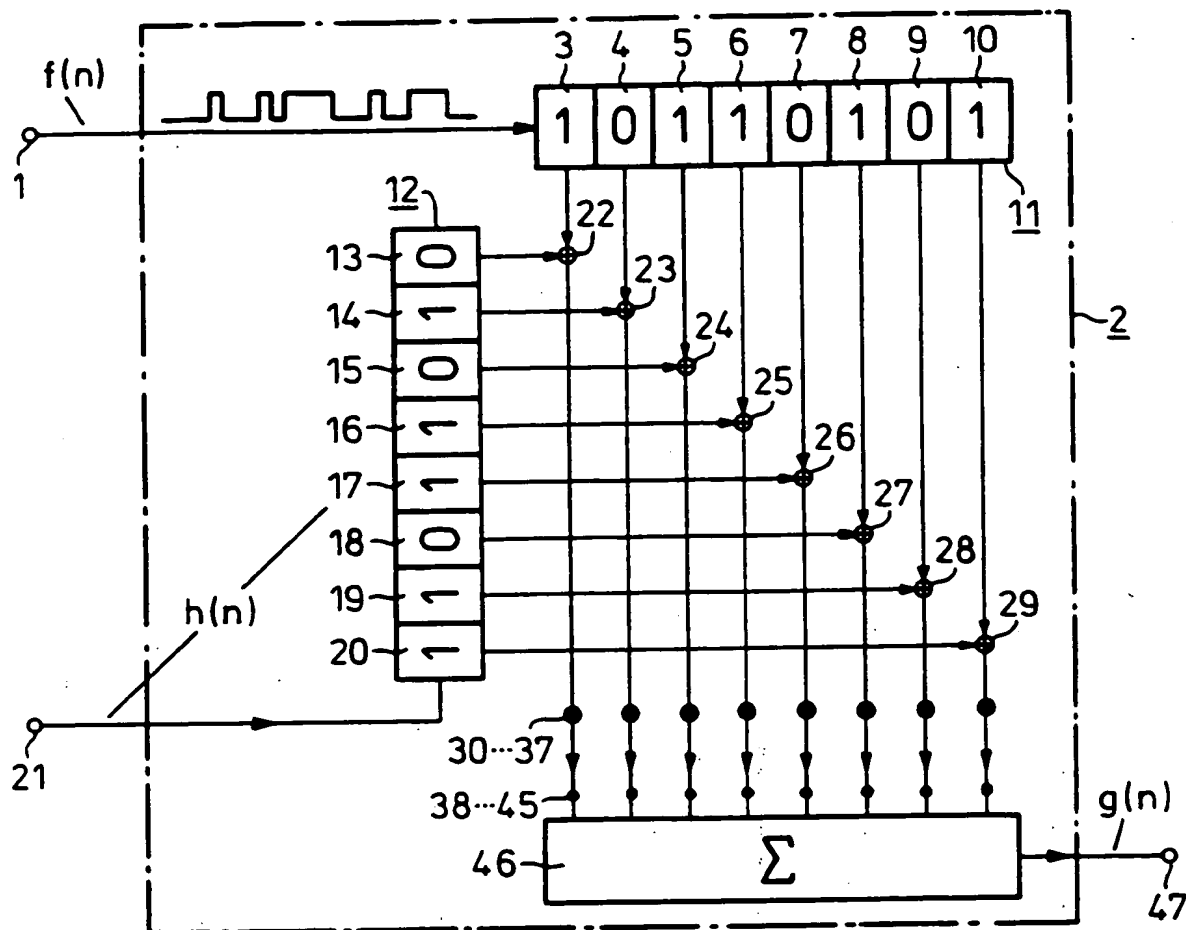


FIG 1

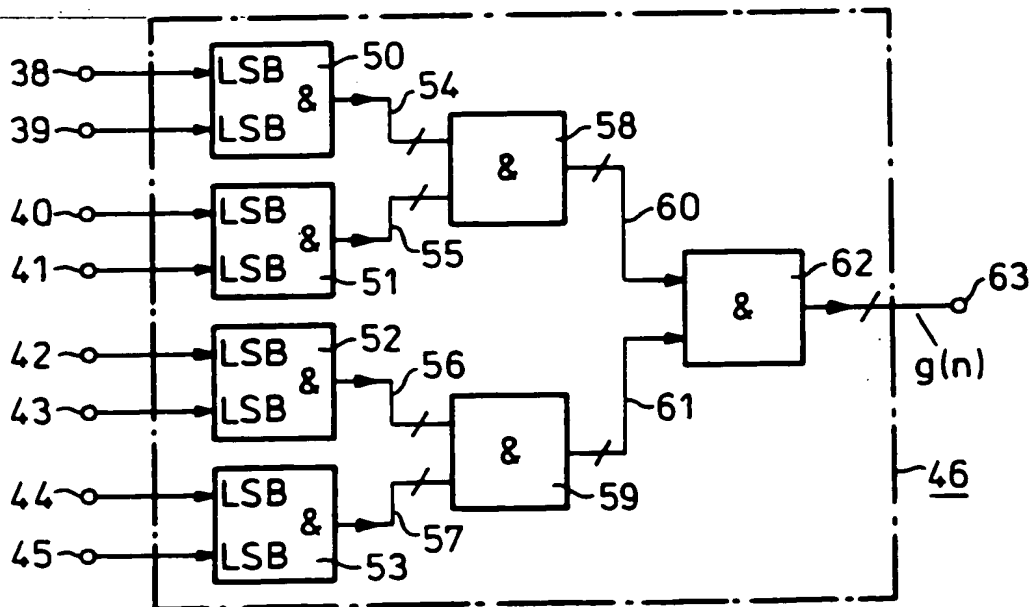


FIG 2

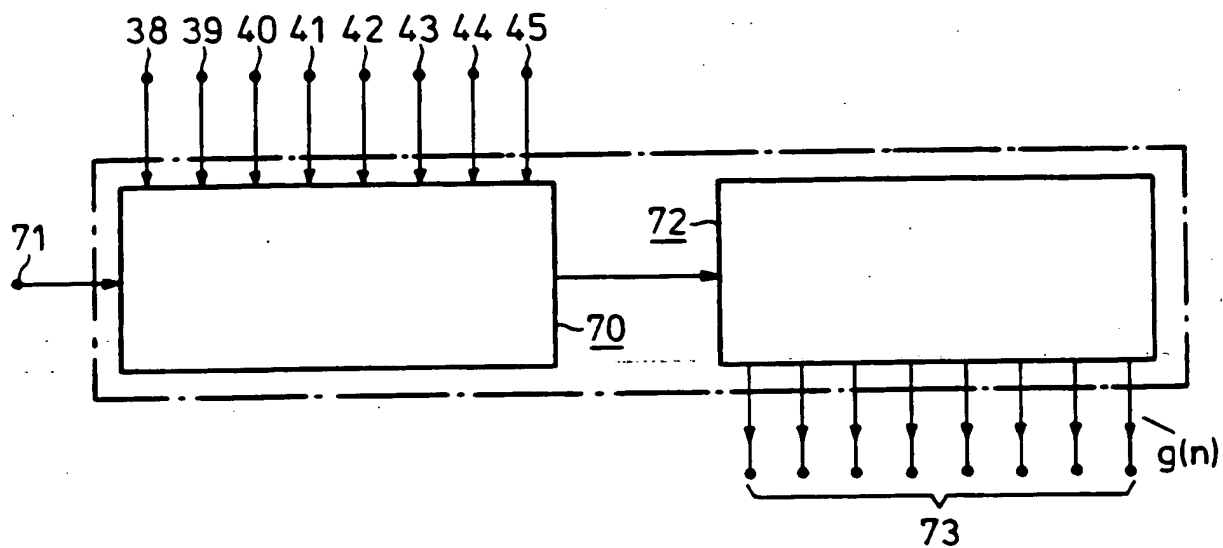


FIG 3